

Original document

IMAGE DETECTING SYSTEM FOR FACSIMILE

Publication number: JP63037775

Publication date: 1988-02-18

Inventor: OIKAWA KANJI

Applicant: MIYAHARA DENSHI SANGYO KK

Classification:

- international: H04NI/401; H04NI/40; H04N1/401; H04N1/40; (IPC1-7): H04N1/40

- European:

Application number: JP19860181739 19860731

Priority number(s): JP19860181739 19860731

[View INPADOC patent family](#)

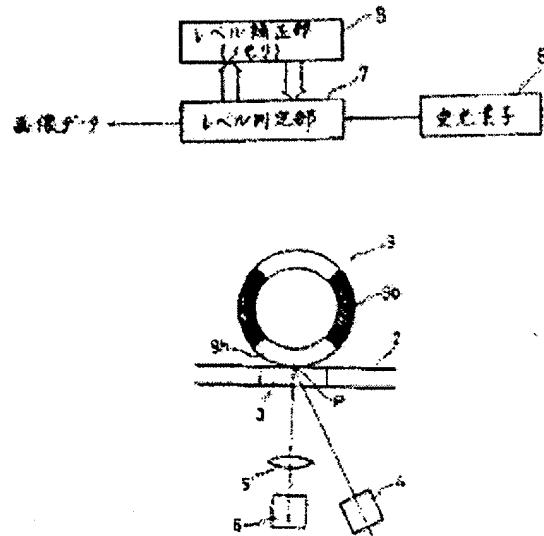
[View list of citing documents](#)

[Report a data error here](#)

Abstract of JP63037775

PURPOSE: To detect an image faithfully by detecting a white or black sample image by a photodetector at the start of a device and correcting the white level and/or black level.

CONSTITUTION: When the device is started, a user sets white or black test paper on a facsimile equipment to detect its image. In this case, the output signal of the photodetector 6 is inputted to a level correction part 8 through a level decision part 7 and levels detected for respective dots of respective photosensors of the photodetector 6 are stored in the level correction part 8. the angle of rotation of a roller 9 is controlled after the start to bring the white part 9h of the roller 9 into contact with a read part P, thereby detecting the white level by a light source 4, a lens 5, and the photodetector 6. Further, the black part 9b of the roller 9 is brought into contact with the read part P to detect the black level. Thus faithful image detection is performed.



Data supplied from the *esp@cenet* database - Worldwide

Partial Translation of Japanese Utility Model Application No. S63-37775

2. Scope of Claim for Utility Model Registration

A stabilized electric power circuit with a reset function, comprising:

a detection circuit configured to detect voltage reduction when an input voltage is reduced compared to an output voltage;

a reverse leakage prevention transistor provided at a connection point between an output terminal and resistors including an output voltage setting resistor and a reset voltage setting resistor and configured to be turned on or off by the detection circuit; and

a reverse leakage prevention transistor provided at a connection point between an output transistor base and an error amplifier output and configured to be turned on or off by the detection circuit.

公開実用平成 1-143285

⑩日本国特許庁 (JP)

⑪実用新案出願公開

⑫公開実用新案公報 (U) 平1-143285

⑬Int. Cl.

H 02 M 1/00

識別記号

庁内整理番号

E-8325-5H

⑭公開 平成1年(1989)10月2日

審査請求 未請求 請求項の数 1 (全頁)

⑮考案の名称 電源回路

⑯実 願 昭63-37775

⑰出 願 昭63(1988)3月22日

⑲考案者 新宮 和弘 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳出願人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑代理人 弁理士 内原 晋

明細書

1. 考案の名称

電源回路

2. 実用新案登録請求の範囲

リセット機能付安定化電源回路において、入力電圧が出力電圧より低下したことを検出する検出回路と、出力端子と出力電圧設定用抵抗・リセット電圧設定用抵抗の接続点の間に位置し前記検出回路によりオン／オフする逆リーク防止用トランジスタと、出力トランジスタのベースと誤差増幅器の出力の接続点の間に位置し前記検出回路によりオン／オフする逆リーク防止用トランジスタを備えたリセット機能付安定化電源回路。

3. 考案の詳細な説明

〔産業上の利用分野〕

本考案は安定化電源回路に関し、特に出力電圧の低下を検出し出力電圧低下時にリセット出力端

公開実用平成 1-143285

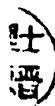
子からリセット信号を発生する機能を持った安定化電源回路に関する。

〔従来の技術〕

従来のリセット機能を持った安定化電源回路の回路構成を第3図で説明する。

本来安定化電源回路は入力端子5の電圧（以下入力電圧と称す）が低下し出力端子6の電圧（以下出力電圧と称す）が低下しようとした場合、以下の動作により出力電圧を正常な値に維持しようとする。すなわち出力電圧が低下すると、出力電圧設定用抵抗8, 9より得られる誤差増幅器3の非反転端子電圧が、起動回路1を介して基準電圧回路2より得られる誤差増幅器3の反転端子電圧より低下するため、誤差増幅器3の出力電圧はLOW側となる。このため出力トランジスタ4のベース電流が増加し、出力電圧が上昇し、出力電圧が規定の電圧に復帰するという負帰還動作を行う。

しかし、この負帰還動作は、入力電圧が出力電圧に出力トランジスタ4の飽和電圧を加えた電圧



以上印加されている場合にのみ正常に行われ、入力電圧がそれ以下に低下すると、入力電圧の低下分だけ出力電圧も低下していく。そして、リセット電圧設定用抵抗 20, 21 より得られるリセット出力用コンパレータ 19 の反転端子電圧が、前記基準電源回路 2 より得られるリセット出力用コンパレータ 19 の非反転端子電圧より低下するとリセット出力用コンパレータ 19 の出力はハイレベルとなるため、抵抗 17 を介しリセット出力用トランジスタ 13 は OFF に、また抵抗 18 を介しリセット出力用トランジスタ 15 は ON になる。このためリセット出力端子 14 は、ハイレベルからローレベルに転じる。

以上のとおり、従来のリセット機能を持った安定化電源回路は、出力電圧が規定の電圧以下になるとリセット端子 14 の電圧がハイレベルからローレベルに転じるアクティブローの動作を行う。

[考案が解決しようとする課題]

上述した従来のリセット機能を持った安定化電源回路は、出力端子 6 と出力電圧設定用抵抗 8 の

一端およびリセット電圧設定用抵抗 20 の一端が接続されているので以下に述べる欠点がある。

第 4 図、第 5 図はリセット機能を持った安定化電源回路とスーパーキャパシタ 28 を用いて、マイクロコンピュータ 29 へのバックアップ回路構成を示したものである。なお、スーパーキャパシタ 28 は、入力電圧 22 が低下してある時間出力電圧をマイクロコンピュータ 29 が動作可能な出力電圧の最小値以上に保持しておくための大容量コンデンサである。

従来のリセット機能を持った安定化電源回路を用いて第 4 図に示すバックアップ回路を構成した場合、上記回路構成となっているため入力電圧 22 がスーパーキャパシタ 28 で保持されている出力電圧に出力トランジスタ 4 の飽和電圧を加えた電圧以下に下がると、スーパーキャパシタ 28 の電荷が出力端子 27 を通して安定化電源回路内部へ流れ込み（以下この減少を逆リークと称す）、スーパーキャパシタ 28 の両端電圧が低下する時間が著しく速くなり、すなわちマイクロコン

ピュータ 29 へスーパーキャパシタ 28 から電力を供給できる時間（以下バックアップ時間と称する）が著しく短くなる。

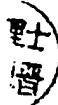
仮にこの逆リーフを防止する手段を構じるとすれば第 5 図のように逆リード防止用ダイオード 31 とレベルシフト用ダイオード 30 が必要となる。しかし、この場合は下記の欠点が生じる。

入力電圧 22 が低下し、バックアップ状態に移った場合、リセット機能を持った安定化電源回路はリセット出力端子 26 からリセット信号を発生し、マイクロコンピュータ 29 へリセット信号を伝える必要があるが、従来のリセット機能を持った安定化電源回路を用いて第 5 図をバックアップ回路を構成した場合、リセット信号は、入力電圧の低下に伴い出力電圧が低下し、出力電圧がリセット出力開始電圧（第 6 図中の V_{RST} ）以下になった時に発生する構成となる。第 6 図(i)にこのタイミングチャートを示す。従って、入力電圧 22 が低下しバックアップ状態に入った瞬間から、実際にバックアップ状態に移ったことをマイクロ

コンピュータ29に伝えるために安定化電源回路がリセット信号を発生するまでには第6図中 ΔT に示す遅れ時間が生じる。一般に、マイクロコンピュータ26は、動作時の回路電流がリセット信号が入力されている状態での回路電流より数百倍多い。よって、 ΔT の遅れ時間のためにスーパーキャパシタ28の両端電圧は、 ΔV_{02} 低下してしまう。このためマイクロコンピュータ29の電源電圧最小値($V_{COMIN.}$)までにスーパーキャパシタ28の両端電圧が低下するまでの時間、すなわちマイクロコンピュータ29へのバックアップ時間は、バックアップ状態に入ったとき瞬時にリセット信号をマイクロコンピュータ29に伝える場合と比べると大幅に短縮されてしまう。

〔課題を解決するための手段〕

本考案のリセット機能を持った安定化電源回路は、前記欠点を解決するために、入力電圧が出力電圧より低下したことを検出する入力電圧低下検出用コンパレータと、出力端子と出力電圧設定用抵抗・リセット電圧設定用抵抗の間に接続され前



記入力電圧低下検出用コンパレータの出力により
ON/OFF制御される逆リーコ防止用トランジ
スタと、出力トランジスタのベースと誤差増幅器
の間に接続され前記入力電圧低下検出用コンパ
レータの出力によりON/OFF制御される逆
リーコ防止用トランジスタを有している。

〔実施例1〕

次に、本考案について図面を参照して説明する。

第1図は、本考案の実施例1を示す回路構成図
であり、第3図の従来の回路構成図に、反転端子
に出力端子6、非反転端子に入力端子5が接続さ
れ入力電圧と出力電圧とを比較する入力電圧低下
検出用コンパレータ1-2と、入力電圧低下検出用
コンパレータ1-2の出力によりON/OFFする
トランジスタ1-1と、トランジスタ1-1のON/
OFFにより抵抗1-0を介してON/OFFする
逆リーコ防止用トランジスタ7-aおよび7-bが追
加されている。

入力電圧が出力電圧より低下すると入力電圧低
下検出用コンパレータ1-2はローレベルを出力し、

トランジスタ 11 は OFF になり、つづいて逆リード防止用トランジスタ 7a, 7b が OFF になる。このため、リセット出力用コンパレータ 19 の反転端子には GND レベルが入力され、リセット出力用コンパレータ 19 はハイレベルを出力する。以下の動作は第 3 図の場合と同様である。

〔実施例 2〕

第 2 図は、本考案の実施例 2 を示す回路構成図であり、第 3 図の従来の回路構成図に抵抗 37, 38、トランジスタ 34, 35, 36 から構成される定電流源と、入力端子から定電流源のトランジスタ 35 へ定電流を流すダイオード 32 とダイオード 32 のカソードの電圧と出力電圧の電位差により ON/OFF されるトランジスタ 33 と、トランジスタ 33 の状態により ON/OFF する逆リード防止用トランジスタ 7a および 7b が追加されている。

入力電圧が出力電圧より低下すると、トランジスタ 33 のベース電位が下がるのでトランジスタ 33 が ON し、コレクタ電位が出力電圧に近づき、

逆リーク防止用トランジスタ 7a, 7b は OFF となる。

以下の動作は実施例 1 と同様である。

〔考案の効果〕

以上説明したように本考案は、入力電圧が出力電圧より低下したことを検出する入力電圧低下検出用コンパレータと、出力端子と出力電圧設定用抵抗・リセット電圧設定用抵抗の間に接続され前記入力電圧低下検出用コンパレータの出力により ON/OFF 制御される逆リーク防止用トランジスタを設けることにより、第 4 図に示すマイクロコンピュータのバックアップ回路において入力電圧が低下してもスーパーキャパシタから安定化電源回路への逆リークはなく、第 5 図におけるダイオード 30, 31 が不要となる。さらに入力電圧が出力電圧より低下すると瞬時にリセット信号を発生するためにマイクロコンピュータのバックアップ時間を従来と比較すると第 6 図中の Δt だけ延ばすことができるという効果がある。

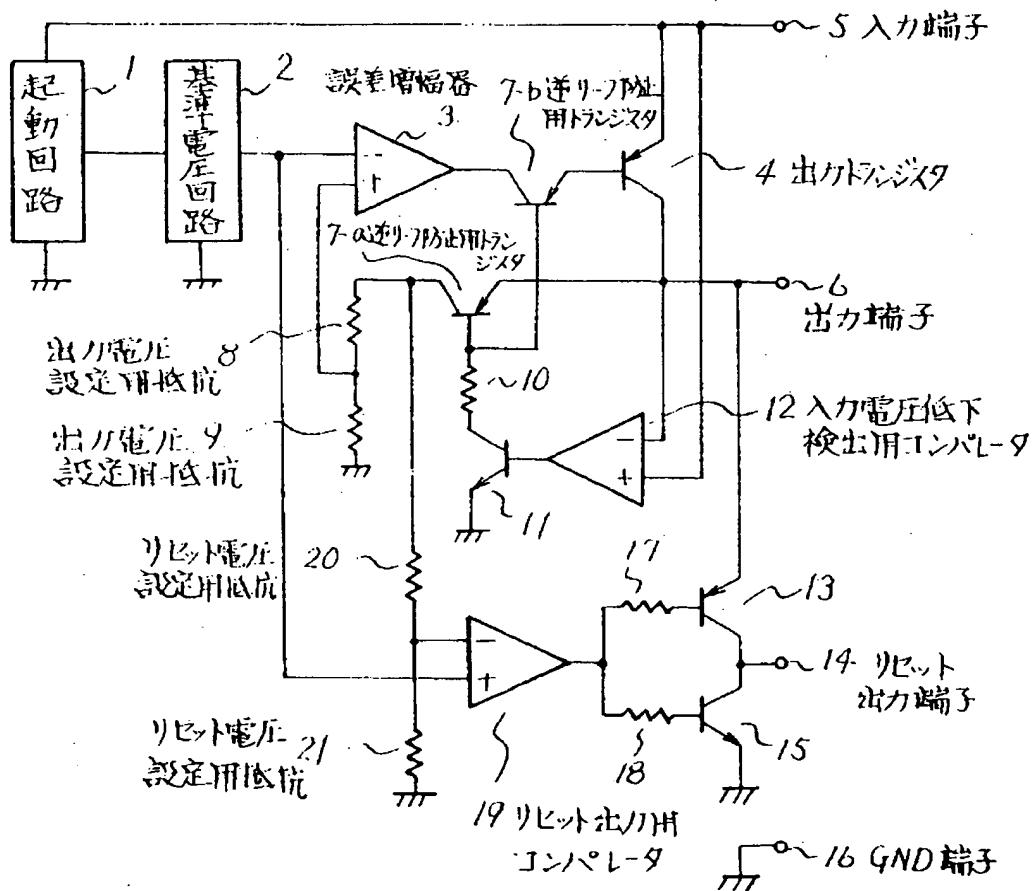
4. 図面の簡単な説明

第1図は本考案のリセット機能を持った安定化電源回路の実施例1、第2図は同実施例2を示す図、第3図は従来のリセット機能を持った安定化電源回路の回路構成図、第4図は本考案のリセット機能を持った安定化電源回路を用いて構成したマイクロコンピュータのバックアップ回路、第5図は従来のリセット機能を持った安定化電源回路に逆リーク防止用ダイオードを付加して構成したマイクロコンピュータのバックアップ回路、第6図は、第4図、第5図のバックアップ回路のタイミングチャートである。

1 ……起動回路、 2 ……基準電圧回路、 3 ……誤差増幅器、 4 ……出力トランジスタ、 5 ……入力端子、 6 ……出力端子、 7 a, 7 b ……逆リーク防止用トランジスタ、 8, 9 ……出力電圧設定用抵抗、 10 ……抵抗、 11 ……トランジスタ、 12 ……入力電圧低下検出用コンパレータ、 13 ……リセット出力用トランジスタ、 14 ……リセット出力端子、 15 ……リセット出力用トランジ

スタ、16……GND端子、17, 18……抵抗、
19……リセット出力用コンパレータ、20, 21
……リセット電圧設定用抵抗、22……入力電圧、
23……リセット機能を持った安定化電源回路、
24……入力端子、25……GND端子、26…
…リセット出力端子、27……出力端子、28…
…スーパーキャパシタ、29……マイクロコンピ
ュータ、30……レベルシフト用ダイオード、31
……逆リード防止用ダイオード、32……ダイオ
ード、33, 34, 35, 36……トランジスタ、
37, 38……抵抗。

代理人 弁理士 内原晋

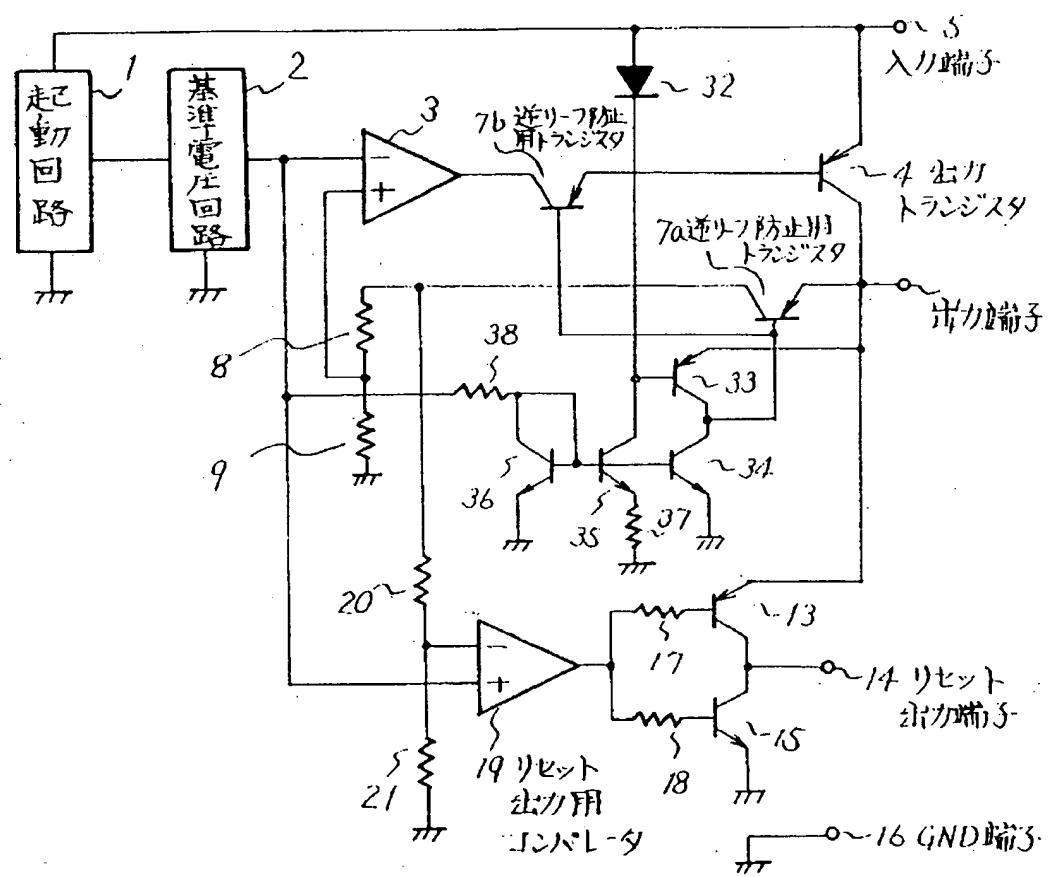


第 1 図

1015

実開1-143285

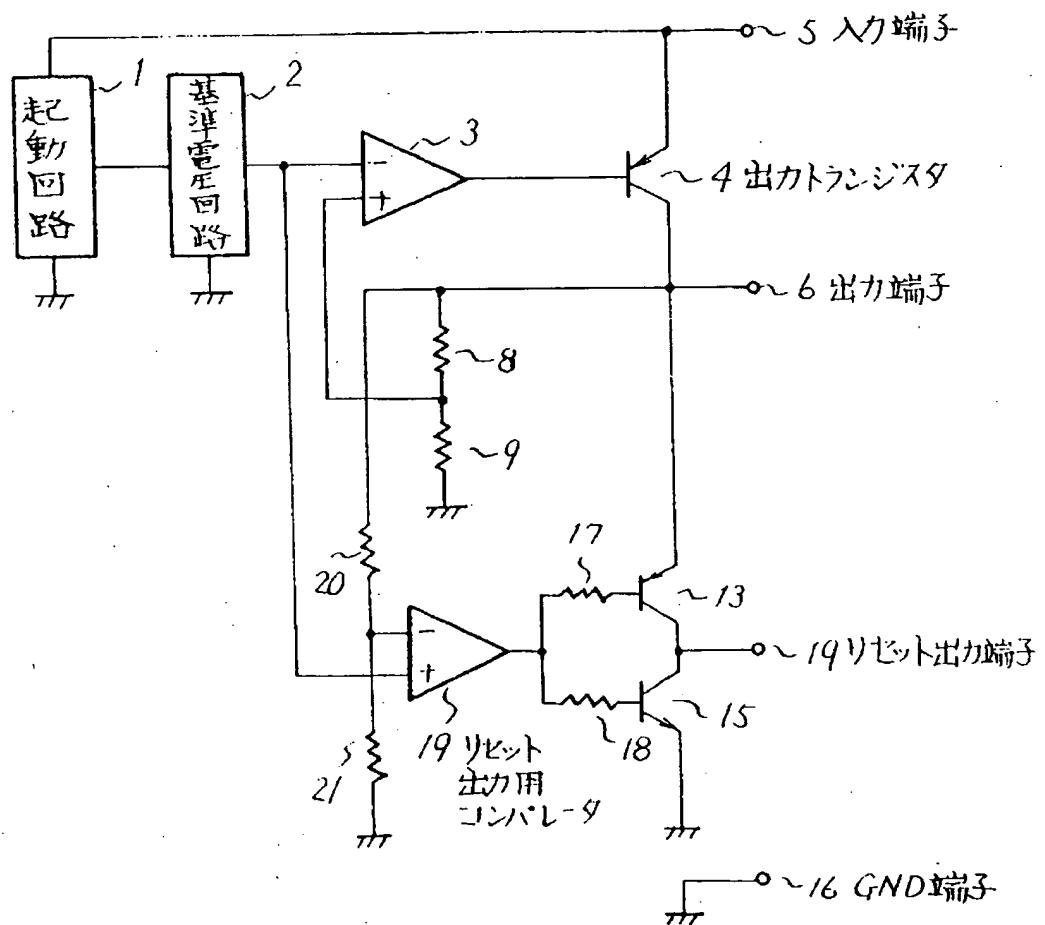
代理人弁理士内原晋



第 2 図

1016
実開1-143285

代理人 村田小治郎 111

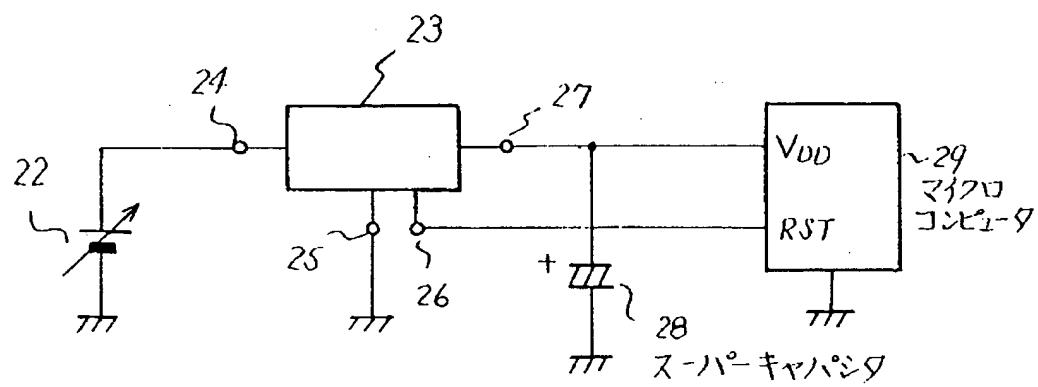


第 3 図

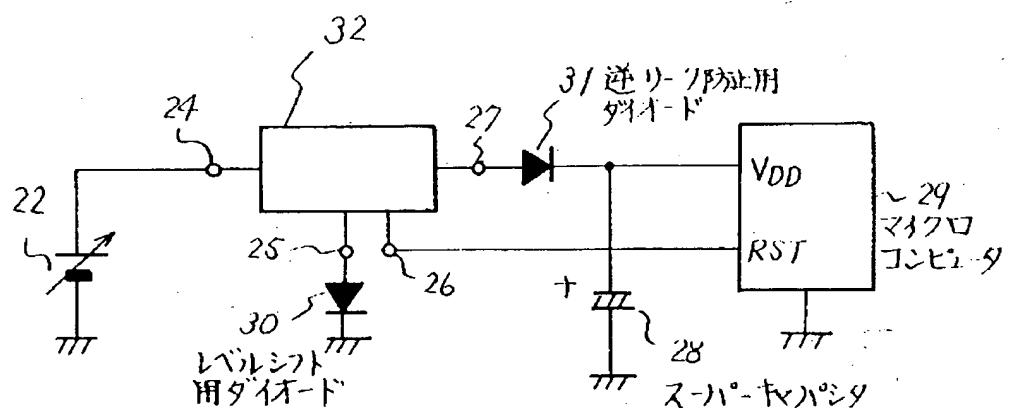
1017

実開1-14328

代理人 弁理士 内原晋



第 4 図



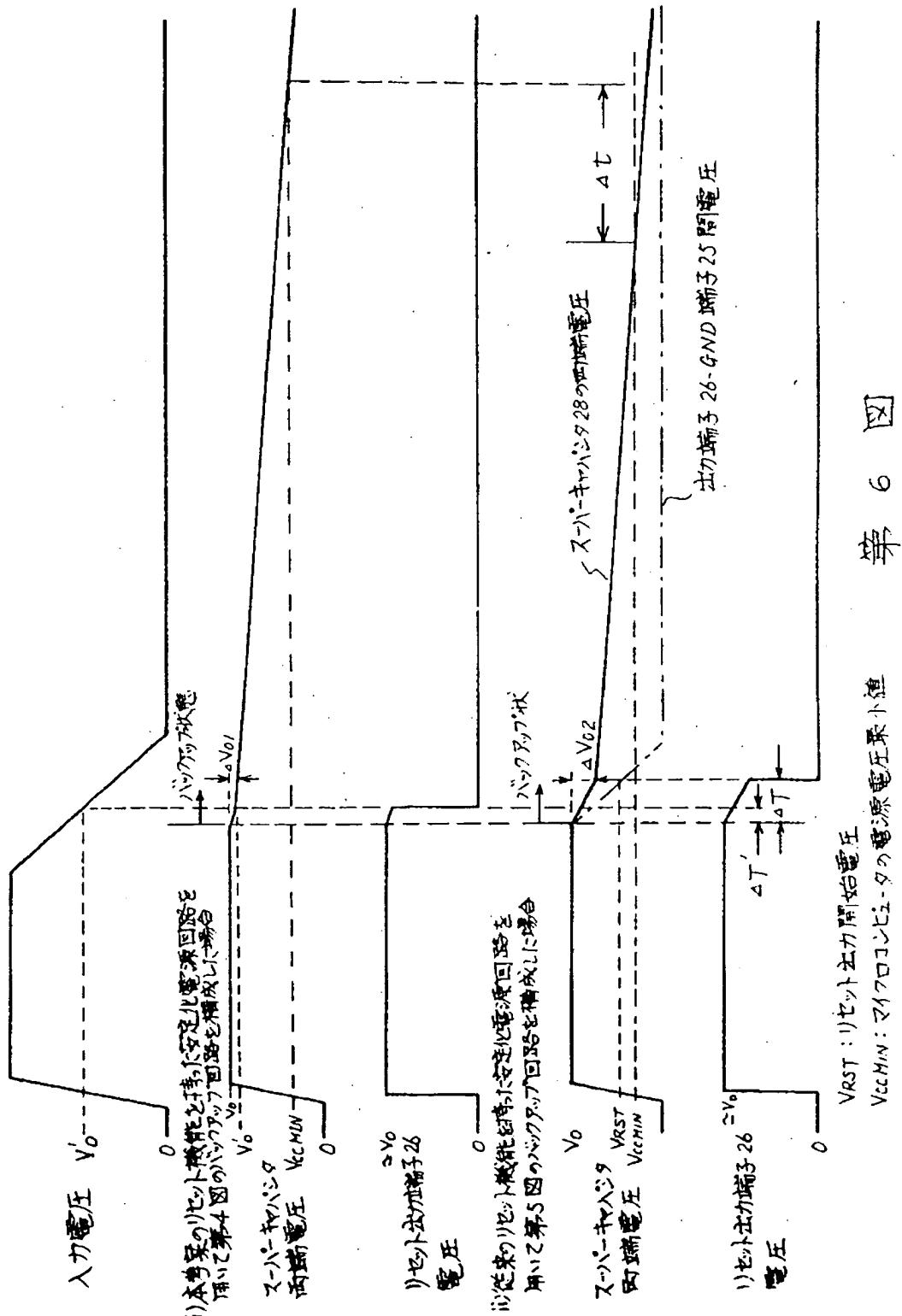
第 5 図

1018

実開1-143285

代理人 東洋士内 順一

公開実用平成 1-143285



晋原内类型土代理人

卷六

VRST: リセット出力開始電圧
VECHIN: 3V/20Ω以上の電源電圧を基準